

VIA HAND DELIVERY  
PATENT  
36856.1141

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Toru TOMINAGA et al. Serial No.: Currently unknown Filing Date: Concurrently herewith For: SURGE ABSORBER AND SURGE ABSORBER ARRAY	
---	--

**TRANSMITTAL OF PRIORITY DOCUMENTS**


Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2002-381636** filed **December 27, 2002**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: November 13, 2003

  
Attorneys for Applicant(s)  
Joseph R. Keating  
Registration No. 37,368

Christopher A. Bennett  
Registration No. 46,710

KEATING & BENNETT LLP  
10400 Eaton Place, Suite 312  
Fairfax, VA 22030  
Telephone: (703) 385-5200

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月27日  
Date of Application:

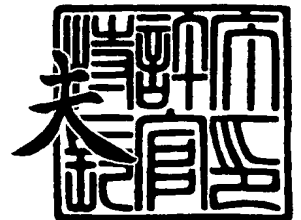
出願番号 特願2002-381636  
Application Number:  
[ST. 10/C]: [JP 2002-381636]

出願人 株式会社村田製作所  
Applicant(s):

2003年 9月17日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 MU12148-01

【提出日】 平成14年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01T 4/12

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内

【氏名】 富永 亨

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内

【氏名】 松原 誠

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内

【氏名】 櫻井 雄吉

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田製作所内

【氏名】 大井 隆明

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代理人】

【識別番号】 100091432

【弁理士】

【氏名又は名称】 森下 武一

**【手数料の表示】****【予納台帳番号】** 007618**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9004894**【プルーフの要否】** 要



【書類名】 明細書

【発明の名称】 サージアブソーバ及びサージアブソーバアレイ

【特許請求の範囲】

【請求項 1】 絶縁体ブロックの内部に、第 1 内部電極膜と、第 2 内部電極膜と、第 1 及び第 2 内部電極膜の近接部分に位置する放電用の空洞とを設け、

前記絶縁体ブロックの側面に第 1 内部電極膜の端部と接続されたグランド用外部電極層を設け、

前記絶縁体ブロックの両端面に第 2 内部電極膜の両端部のそれぞれと接続された信号用外部電極層を設けたこと、

を特徴とするサージアブソーバ。

【請求項 2】 前記絶縁体ブロックの少なくとも一端面に前記第 2 内部電極膜の一端部と前記信号用外部電極層の一つとの間に接続された抵抗体膜を設けたことを特徴とする請求項 1 記載のサージアブソーバ。

【請求項 3】 絶縁体ブロックの内部に、第 1 内部電極膜と、複数の第 2 内部電極膜と、第 1 及び第 2 内部電極膜の近接部分に位置する少なくとも一つの放電用の空洞とを設け、

前記絶縁体ブロックの端面に第 1 内部電極膜の端部と接続されたグランド用外部電極層を設け、

前記絶縁体ブロックの両側面に各第 2 内部電極膜の両端部のそれぞれと独立して接続された信号用外部電極層を設けたこと、

を特徴とするサージアブソーバアレイ。

【請求項 4】 第 1 内部電極膜を設けた第 1 絶縁体シートと、第 2 内部電極膜を設けた第 2 絶縁体シートと、放電用の空洞を設け第 1 及び第 2 絶縁体シートの間に積層された第 3 絶縁体シートとを含む積層体を構成し、

前記積層体の側面に第 1 内部電極膜の端部と接続されたグランド用外部電極層を設け、

前記積層体の両端面に第 2 内部電極膜の両端部のそれぞれと接続された信号用外部電極層を設けたこと、

を特徴とするサージアブソーバ。



【請求項 5】 前記積層体の少なくとも一端面に前記第 2 内部電極膜の一端部と前記信号用外部電極層の一つとの間に接続された抵抗体膜を設けたことを特徴とする請求項 4 記載のサージアブソーバ。

【請求項 6】 第 1 内部電極膜を設けた第 1 絶縁体シートと、複数の第 2 内部電極膜を設けた第 2 絶縁体シートと、少なくとも一つの放電用の空洞を設け第 1 及び第 2 絶縁体シートの間に積層された第 3 絶縁体シートとを含む積層体を構成し、

前記積層体の端面に第 1 内部電極膜の端部と接続されたグランド用外部電極層を設け、

前記積層体の両側面に各第 2 内部電極膜の両端部のそれぞれと独立して接続された信号用外部電極層を設けたこと、

を特徴とするサージアブソーバレイ。

【請求項 7】 第 2 内部電極膜と、該第 2 内部電極膜の両側に第 1 内部電極膜を設けた第 1 絶縁体シートと、第 1 及び第 2 内部電極膜の近接部分に位置する放電用の空洞を設けた第 2 絶縁体シートとを含む積層体を構成し、

前記積層体の両側面に第 1 内部電極膜の各端部と接続されたグランド用外部電極層を設け、

前記積層体の両端面に第 2 内部電極膜の両端部のそれぞれと接続された信号用外部電極層を設けたこと、

を特徴とするサージアブソーバ。

【請求項 8】 第 1 内部電極膜を設けた第 1 絶縁体シートと、第 2 内部電極膜を設けた第 2 絶縁体シートと、放電用の空洞を設け第 1 及び第 2 絶縁体シートの間に積層された第 3 絶縁体シートとを含む積層体を構成し、

前記積層体の表面に抵抗体膜を設け、

前記積層体の側面に第 1 内部電極膜の端部と接続されたグランド用外部電極層を設け、

前記積層体の一端面に第 2 内部電極膜の一端部及び抵抗体膜の一端部と接続された一方の信号用外部電極層を設けると共に、積層体の他端面に抵抗体膜の他端部と接続された他方の信号用外部電極層を設けたこと、



を特徴とするサージアブソーバ。

【請求項 9】 前記抵抗体膜の平面形状が積層体の両側面を結ぶ方向に対して非対称であることを特徴とする請求項 8 記載のサージアブソーバ。

【請求項 10】 第 1 内部電極膜を設けた第 1 絶縁体シートと、第 2 内部電極膜を設けた第 2 絶縁体シートと、放電用の空洞を設け第 1 及び第 2 絶縁体シートの上に積層された第 3 絶縁体シートと、抵抗体膜を設けた第 4 絶縁体シートとを含む積層体を構成し、

前記積層体の側面に第 1 内部電極膜の端部と接続されたグランド用外部電極層を設け、

前記積層体の一端面に第 2 内部電極膜の一端部及び抵抗体膜の一端部と接続された一方の信号用外部電極層を設けると共に、積層体の他端面に抵抗体膜の他端部と接続された他方の信号用外部電極層を設けたこと、

を特徴とするサージアブソーバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、サージアブソーバ及びサージアブソーバアレイ、特に、信号ラインに侵入するサージ電圧を吸収除去するためのサージアブソーバ及びサージアブソーバアレイに関する。

【0002】

【従来の技術と課題】

IC など外来のサージ電圧により素子が破壊しやすい電子部品に関しては、放電素子を用いたサージアブソーバが使用されている。通常は、プリント基板上に、信号ラインとグランドとの間にこの種のサージアブソーバが実装される。

【0003】

【特許文献 1】

実公昭 63-45749 号公報

【特許文献 2】

特開平 1-102884 号公報

**【特許文献 3】**

特開平 5-6810 号公報

**【0004】**

ところで、従来知られているサージアブソーバは、特許文献 1, 2 に開示されているように、セラミック製シートの積層体内に一对の内部電極と放電用の空洞を設けた 2 端子構造であった。

**【0005】**

しかし、このような 2 端子構造のサージアブソーバをプリント基板へ実装するには、プリント基板上でのグランド配線の引き回しが複雑になり、広い面積が必要で、機器の小型化に対応することができなかった。

**【0006】**

また、この種のサージアブソーバでは、放電素子に抵抗素子を組み合わせて用いているようにしている。放電素子を単独で用いた場合、IC を保護するには IC の破壊電圧以下の電圧で放電を開始させる必要があり、一般に放電開始電圧が低い放電素子を実現することは難しいからである。

**【0007】**

しかし、従来では放電素子と抵抗素子とを別部品として構成していたため、プリント基板への実装に手間と時間を要し、作業コストが高く付くと共に、スペース的にもより大きな問題を生じていた。

**【0008】**

特許文献 3 には、抵抗付きのチップバリスタを開示している。但し、バリスタのもつ静電容量は、材料及びその構造から、数 pF ないし数 100 pF のものが一般的であり、高速信号を取り扱う回路では、信号波形がなまるために使用できないという問題点を有している。

**【0009】**

そこで、本発明の目的は、プリント基板への実装面積を小さくでき、機器の小型化に対応できるサージアブソーバ及びサージアブソーバアレイを提供することにある。

**【0010】**



本発明の他の目的は、前記目的を達成すると共に、静電容量が小さくて高速信号を取り扱う回路に適したサージアブソーバ及びサージアブソーバアレイを提供することにある。

#### 【0011】

##### 【課題を解決するための手段及び作用】

以上の目的を達成するため、第1の発明に係るサージアブソーバは、絶縁体ブロックの内部に、第1内部電極膜と、第2内部電極膜と、第1及び第2内部電極膜の近接部分に位置する放電用の空洞とを設け、前記絶縁体ブロックの側面に第1内部電極膜の端部と接続されたグランド用外部電極層を設け、前記絶縁体ブロックの両端面に第2内部電極膜の両端部のそれぞれと接続された信号用外部電極層を設けたことを特徴とする。

#### 【0012】

第2の発明に係るサージアブソーバは、第1内部電極膜を設けた第1絶縁体シートと、第2内部電極膜を設けた第2絶縁体シートと、放電用の空洞を設け第1及び第2絶縁体シートの上に積層された第3絶縁体シートとを含む積層体を構成し、前記積層体の側面に第1内部電極膜の端部と接続されたグランド用外部電極層を設け、前記積層体の両端面に第2内部電極膜の両端部のそれぞれと接続された信号用外部電極層を設けたことを特徴とする。

#### 【0013】

第3の発明に係るサージアブソーバは、第2内部電極膜と、該第2内部電極膜の両側に第1内部電極膜を設けた第1絶縁体シートと、第1及び第2内部電極膜の近接部分に位置する放電用の空洞を設けた第2絶縁体シートとを含む積層体を構成し、前記積層体の両側面に第1内部電極膜の各端部と接続されたグランド用外部電極層を設け、前記積層体の両端面に第2内部電極膜の両端部のそれぞれと接続された信号用外部電極層を設けたことを特徴とする。

#### 【0014】

以上の構成からなる第1、第2及び第3の発明に係るサージアブソーバは、絶縁体ブロック又は積層体の両端面にそれぞれ一対の信号用外部電極層が設けられており、かつ、絶縁体ブロック又は積層体の側面に一対の信号用外部電極層の間

に位置するようにグラウンド用外部電極層が設けられた3端子構造である。それゆえ、本発明に係るサージアブソーバを使用すれば、プリント基板上でグラウンド配線が信号ラインを横断する形態を採用することができ、グラウンド配線の引き回しが単純になり、狭い面積で実装することが可能である。

#### 【0015】

また、前記第1、第2及び第3の発明に係るサージアブソーバにあっては、絶縁体ブロック又は積層体の少なくとも一端面に前記第2内部電極膜の一端部と前記信号用外部電極層の一つとの間に接続された抵抗体膜を設けてもよい。これにて、放電素子と抵抗素子とを一体的に組み込んだサージアブソーバを得ることができ、抵抗素子を別付けする煩雑さやプリント基板上の実装密度の低下を招来することがなく、かつ、静電容量が小さいので高速信号を取り扱う回路に適している。

#### 【0016】

第4の発明に係るサージアブソーバアレイは、絶縁体ブロックの内部に、第1内部電極膜と、複数の第2内部電極膜と、第1及び第2内部電極膜の近接部分に位置する少なくとも一つの放電用の空洞とを設け、前記絶縁体ブロックの端面に第1内部電極膜の端部と接続されたグラウンド用外部電極層を設け、前記絶縁体ブロックの両側面に各第2内部電極膜の両端部のそれぞれと独立して接続された信号用外部電極層を設けたことを特徴とする。

#### 【0017】

第5の発明に係るサージアブソーバアレイは、第1内部電極膜を設けた第1絶縁体シートと、複数の第2内部電極膜を設けた第2絶縁体シートと、少なくとも一つの放電用の空洞を設け第1及び第2絶縁体シートの間に積層された第3絶縁体シートとを含む積層体を構成し、前記積層体の端面に第1内部電極膜の端部と接続されたグラウンド用外部電極層を設け、前記積層体の両側面に各第2内部電極膜の両端部のそれぞれと独立して接続された信号用外部電極層を設けたことを特徴とする。

#### 【0018】

以上の構成からなる第4及び第5の発明に係るサージアブソーバアレイは、前

記第1、第2及び第3の発明に係るサージアブソーバと同様に3端子構造であり、プリント基板上でのグラント配線の引き回しが容易であり、かつ、狭い面積での実装が可能である。

#### 【0019】

第6の発明に係るサージアブソーバは、第1内部電極膜を設けた第1絶縁体シートと、第2内部電極膜を設けた第2絶縁体シートと、放電用の空洞を設け第1及び第2絶縁体シートの間に積層された第3絶縁体シートとを含む積層体を構成し、前記積層体の表面に抵抗体膜を設け、前記積層体の側面に第1内部電極膜の端部と接続されたグラント用外部電極層を設け、前記積層体の一端面に第2内部電極膜の一端部及び抵抗体膜の一端部と接続された一方の信号用外部電極層を設けると共に、積層体の他端面に抵抗体膜の他端部と接続された他方の信号用外部電極層を設けたことを特徴とする。

#### 【0020】

以上の構成からなる第6の発明に係るサージアブソーバは、前記第1、第2及び第3の発明に係るサージアブソーバと同様に3端子構造であり、プリント基板上でのグラント配線の引き回しが容易であり、かつ、狭い面積での実装が可能であることに加えて、放電素子と抵抗素子とを一体的に組み込んだサージアブソーバを得ることができ、抵抗素子を別付けする煩雑さやプリント基板上の実装密度の低下を招来することがなく、かつ、静電容量が小さいので高速信号を取り扱う回路に適している。

#### 【0021】

第6の発明に係るサージアブソーバにあつては、前記抵抗体膜の平面形状が積層体の両側面を結ぶ方向に対して非対称であってもよい。積層体の表面に設けた抵抗体膜の非対称な形状によって実装時の方向性を容易に識別することができる。

#### 【0022】

第7の発明に係るサージアブソーバは、第1内部電極膜を設けた第1絶縁体シートと、第2内部電極膜を設けた第2絶縁体シートと、放電用の空洞を設け第1及び第2絶縁体シートの間に積層された第3絶縁体シートと、抵抗体膜を設けた

第4絶縁体シートとを含む積層体を構成し、前記積層体の側面に第1内部電極膜の端部と接続されたグラウンド用外部電極層を設け、前記積層体の一端面に第2内部電極膜の一端部及び抵抗体膜の一端部と接続された一方の信号用外部電極層を設けると共に、積層体の他端面に抵抗体膜の他端部と接続された他方の信号用外部電極層を設けたことを特徴とする。

#### 【0023】

以上の構成からなる第7の発明に係るサージアブソーバは、前記第6の発明に係るサージアブソーバにおいて抵抗体膜を積層体に内蔵したものであり、第6の発明に係るサージアブソーバと同様の作用効果を奏する。

#### 【0024】

##### 【発明の実施の形態】

以下、本発明に係るサージアブソーバ及びサージアブソーバアレイの実施形態について、添付図面を参照して説明する。

#### 【0025】

(第1実施形態、図1～図6参照)

本第1実施形態はチップ状の積層型サージアブソーバであり、図1に示すように、表面に両側面に達する第1内部電極膜11をスクリーン印刷により設けたセラミックグリーンシート1と、裏面に両端面に達する第2内部電極膜12をスクリーン印刷により設けたセラミックグリーンシート2と、放電用の空洞13を設けセラミックグリーンシート1、2の間に積層されたセラミックグリーンシート3と、外層となる無地のセラミックグリーンシート8、9とから積層体10A(図2参照)を構成したものである。

#### 【0026】

なお、前記内部電極膜11、12はスクリーン印刷以外に、グラビア印刷、乾式めっき、フォトリソグラフィ等を用いて形成してもよい。

#### 【0027】

各シート1～3、8、9は周知の方法で積層、圧着され、焼成されて図2に示す1ユニットの積層体10Aが形成される。図3はその断面構造を示す。

#### 【0028】

なお、シート 2 においては、第 2 内部電極膜 12 が裏面に設けられているが、シート 1 と同様の方法で電極膜を形成したシートを反転させてもよいし、予め裏面に形成される方法を用いてもよい。

#### 【0029】

前記積層体 10A に対しては、図 4 に示すように、両側面に第 1 内部電極膜 11 の両端部とそれぞれ接続されたグランド用外部電極層 21, 21 が設けられ、両端面に第 2 内部電極膜 12 の両端部のそれぞれと接続された信号用外部電極である入力外部電極層 22 及び出力外部電極層 23 が設けられる。各外部電極層 21, 22, 23 は湿式又は乾式めっき、浸漬、塗布等の任意の方法で設けられ、必要に応じて焼き付けを行う。なお、積層体と外部電極層を同時に焼成してもよい。

#### 【0030】

これにて、積層方向に空洞 13 を介して対向する内部電極膜 11, 12 によって放電素子 G が形成され、図 5 に示す等価回路の如く、3 端子構造の積層型サージアブソーバが得られる。

#### 【0031】

図 6 に本第 1 実施形態のサージアブソーバをプリント基板 30 上に実装した状態を示す。プリント基板 30 上には IC 31 が実装され、その端子と接続されている信号ライン 32 に信号用入力外部電極層 22 が接続され、信号ライン 33 に信号用出力外部電極層 23 が接続される。また、グランド用外部電極層 21, 21 はプリント基板 30 上のグランドライン 34 に接続される。

#### 【0032】

本第 1 実施形態にあつては、外部電極層 21, 22, 23 を備えた 3 端子構造であるため、プリント基板 30 上でグランドライン 34 が信号ライン 32, 33 を横断する形態を採用することができ、グランドライン 34 の引き回しが単純になり、サージアブソーバを狭い面積で実装することが可能になった。

#### 【0033】

(第 2 実施形態、図 7 ～ 図 12 参照)

本第 2 実施形態は前記第 1 実施形態に示した放電素子 G の複数個を一つのチップ

プとしてアレイ構成としたものである。

#### 【0034】

基本的な構成は前記第1実施形態と同様であるが、セラミックグリーンシート2の裏面には複数の第2内部電極膜12が設けられている。また、セラミックグリーンシート3には内部電極膜11、12の重なり部分に対応して複数の放電用の空洞13が形成されている。

#### 【0035】

これらのシート1～3、8、9を積層、焼成して1ユニットとした状態の積層体10Bを図8、図9に示す。また、該積層体10Bに対しては、図10に示すように、両端面に第1内部電極膜11の両端部とそれぞれ接続されたグランド用外部電極層21、21が設けられ、両側面に各第2内部電極膜12の両端部とそれぞれ独立して接続された信号用入力外部電極層22及び信号用出力外部電極層23が設けられる。

#### 【0036】

積層体10B内に複数の放電素子Gを内蔵した3端子構造のサージアブソーバアレイの等価回路は図11に示すとおりであり、プリント基板30上に実装した状態を図12に示す。プリント基板30上の信号ライン32に信号用入力外部電極層22が接続されると共に、信号ライン33に信号用出力外部電極層23が接続され、グランドライン34にはグランド用外部電極層21、21が接続されることは前記第1実施形態と同様である。また、本第2実施形態の作用効果は前記第1実施形態と同様である。

#### 【0037】

なお、本第2実施形態において、第2内部電極膜12は必ずしも1枚のシート2上に形成される必要はなく、複数枚のセラミックグリーンシート上に分散して（例えば千鳥状に）形成されてもよい。

#### 【0038】

（第3実施形態、図13参照）

本第3実施形態は前記第1実施形態と同様に1素子の積層型サージアブソーバとしたものであるが、1枚のセラミックグリーンシート1の表面に両端面に達す

る第2内部電極膜12を設けると共に、該第2内部電極膜12の両側に両端面に達する第1内部電極膜11、11を設けたものである。

#### 【0039】

また、セラミックグリーンシート2には内部電極膜11、12の近接部分に位置する放電用の空洞13が形成されている。なお、セラミックグリーンシート2は二つの空洞13、13を形成したセラミックグリーンシート2'に代えてもよい。

#### 【0040】

以上のシート1、2及び外層となる無地のセラミックグリーンシート8、9を積層、焼成して1ユニットとした積層体は、図4に示した積層体10Aと同様の外観を有し、図5と同様の等価回路として構成されている。また、プリント基板への実装状態は図6に示したとおりである。

#### 【0041】

(第4実施形態、図14～図20参照)

本第4実施形態は前記第1実施形態である1素子の積層型サージアブソーバに抵抗素子Rを組み込んだものである。

#### 【0042】

まず、前記第1実施形態と同様の構成からなる積層体10Aを製作し(図14～図16参照)、積層体10Aに対して一端面に第2内部電極膜12の一端部と接続された抵抗体膜14を外部電極層と同様の方法を用いて形成する(図17、図18参照)。この抵抗体膜14には、カーボン抵抗やサーメット抵抗等の材料を焼き付けたり、これらの抵抗材料を含有した樹脂を塗布することにより形成される。あるいは、これらの抵抗材料からなるシートを貼着してもよい。

#### 【0043】

次に、積層体10Aに対して、図19に示すように、両側面に第1内部電極膜11の両端部とそれぞれ接続されたグランド用外部電極層21、21が設けられ、一端面に第2内部電極膜12の一端部と接続された信号用入力外部電極層22が設けられ、他端面に前記抵抗体膜14を被覆する信号用出力外部電極層23が設けられる。

**【0044】**

このように積層体10A内に放電素子G及び抵抗体膜14（抵抗素子R）を内蔵した3端子構造のサージアブソーバの等価回路は図20に示すとおりであり、プリント基板30上に実装した状態は図6と同様である。本第4実施形態の作用効果は前記第1実施形態の作用効果に加えて、抵抗素子Rを別付けする煩雑さが解消される。また、バリスタと異なって静電容量が小さいため、高速信号を取り扱う回路に最適である。

**【0045】**

なお、本第4実施形態において、前記抵抗体膜14は信号用出力外部電極層23側に形成しているが、信号用入力外部電極層22側に形成してもよく、あるいは両方に形成してもよい。

**【0046】**

（第5実施形態、図21～図26参照）

本第5実施形態は前記第4実施形態と同様に1素子の積層型サージアブソーバに抵抗素子Rを組み込んだものであり、図24に示すように、抵抗体膜15を積層体10Cの表面に形成したものである。

**【0047】**

まず、前記第1実施形態と基本的に同様の構成からなる積層体10Cを製作する（図21～図23参照）。ここで、セラミックグリーンシート2の裏面に形成される第2内部電極膜12'は、該シート2の中央部から一端面にのみ達している。そして、積層体10Cの表面に両端面に達する抵抗体膜15を塗布して焼成する（図24参照）。抵抗体膜15は前記第4実施形態で示した抵抗体膜14と同じ材料を使用することができる。

**【0048】**

次に、積層体10Cに対して、図25に示すように、両側面に第1内部電極膜11の両端部とそれぞれ接続されたグランド用外部電極層21、21が設けられ、一端面に第2内部電極膜12'の一端部及び抵抗体膜15の一端部と接続された信号用入力外部電極層22が設けられ、他端面に抵抗体膜15の他端部と接続された信号用出力外部電極層23が設けられる。なお、積層体10Cに外部電



極層 22, 23 を形成した後に抵抗体膜 15 を形成してもよい。

#### 【0049】

このように積層体 10C 内に放電素子 G を内蔵すると共に表面に抵抗体膜 15 (抵抗素子 R) を設けた 3 端子構造のサージアブソーバの等価回路は図 26 に示すとおりであり、プリント基板 30 上に実装した状態は図 6 と同様である。また、本第 5 実施形態の作用効果は前記第 4 実施形態の作用効果と同様である。

#### 【0050】

(第 6 実施形態、図 27 参照)

本第 6 実施形態は抵抗素子 R を組み込んだ 1 素子の積層型サージアブソーバである点は前記第 5 実施形態と基本的には同様である。異なるのは、積層体 10C の表面に設けた抵抗体膜 15' の平面形状が積層体 10C の両側面を結ぶ方向 A に対して左右非対称である点である。

#### 【0051】

即ち、抵抗体膜 15' は一端部が他端部よりも幅広い平面形状とされている。これにて、プリント基板へ実装する際に信号用外部電極層 22, 23 の方向性を容易に識別することができ、装着方向を誤るといったミスが未然に防止される。なお、一端部側と他端部側のどちらを幅広くするかは任意である。

#### 【0052】

(第 7 実施形態、図 28～図 31 参照)

本第 7 実施形態は 1 素子の積層型サージアブソーバに抵抗体膜 15 からなる抵抗素子 R を組み込んだものであることは前記第 5 実施形態と同様である。詳しくは、図 28 に示すように、セラミックグリーンシート 4 の表面に両端面に達する抵抗体膜 15 を設け、該シート 4 を前述したシート 1～3, 7～9 と共に積層、圧着し、焼成して図 29 に示す 1 ユニットの積層体 10D に形成される。図 30 はその断面構造を示す。

#### 【0053】

前記積層体 10D に対しては、図 31 に示すように、外部電極層 21, 22, 23 が形成され、放電素子 G 及び抵抗素子 R を内蔵したサージアブソーバが得られる。その等価回路は前記第 6 実施形態と同様である (図 26 参照)。また、作

用効果も第6実施形態と同様である。

【0054】

(他の実施形態)

なお、本発明に係るサージアブソーバ及びサージアブソーバレイは前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更できる。

【0055】

例えば、放電素子を構成する内部電極膜の形状や空洞の形状は任意であり、抵抗素子を構成する抵抗膜の形状も任意である。

【0056】

また、前記実施形態では、複数枚のセラミックグリーンシートを積層した積層体により絶縁体ブロックを構成したものを示したが、例えば、絶縁材料をモールド成形することにより絶縁体ブロックを形成してもよい。この場合、内部電極膜としては、前記実施形態のような方法で形成する以外に、金属板等を用いて構成することも可能である。

【0057】

また、前記実施形態において、グランド用外部電極層は積層体の両側面にそれぞれ一つずつ形成されたものであったが、積層体の両側面及び上下面の4面に跨って腹巻き状になるように形成してもよい。また、第1及び第2内部電極膜はそれぞれ1枚ずつ設けられているが、第1内部電極及び／又は第2内部電極を複数枚用いて並列接続してもよい。

【0058】

また、放電用の空洞を形成するセラミックグリーンシートは1枚で構成しているが、複数枚のシートで空洞を構成してもよいし、空洞を構成するシートを他のシート（例えば、内部電極膜が形成されているシートより厚いシートにしてもよい。また、内部電極膜はセラミックグリーンシートの表面又は裏面に形成されているが、シート内に埋め込んで形成してもよい。あるいは、シートの表裏面に露出するように形成してもよい。

【0059】

さらに、前記実施形態では、放電用の空洞を第1内部電極膜と第2内部電極膜

との間に介在するように近接させたり、第1内部電極膜及び第2内部電極膜の上方に近接させたりしているが、第1内部電極膜と第2内部電極膜との間で放電が可能であれば、空洞をどのような形態で近接させてもよい。また、空洞の形状や大きさも任意であり、例えば、第2実施形態のようなアレイの場合には、複数の放電素子に跨るような大きな空洞を形成してもよい。

#### 【0060】

##### 【発明の効果】

以上の説明で明らかなように、本発明に係るサージアブソーバ及びサージアブソーバアレイは3端子構造としたため、プリント基板上でのグラント配線の引き回しが単純になり、狭い面積で実装することができる。

#### 【0061】

また、本発明に係るサージアブソーバは抵抗体膜をも組み込むようにしたため、抵抗素子をプリント基板に別付けする煩雑さや実装密度の低下が解消され、かつ、放電素子の静電容量が小さいので高速信号を取り扱う回路に適している。

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1実施形態であるサージアブソーバの積層体を構成するシートを示す分解斜視図である。

##### 【図2】

図1の各シートを積層した状態を示す斜視図である。

##### 【図3】

図1の各シートを積層した状態を示す断面図である。

##### 【図4】

図2の積層体に外部電極層を形成した状態を示す斜視図である。

##### 【図5】

第1実施形態であるサージアブソーバの等価回路図である。

##### 【図6】

第1実施形態であるサージアブソーバをプリント基板上に実装した状態を示す平面図である。

**【図 7】**

本発明の第 2 実施形態であるサージアブソーバレイの積層体を構成するシートを示す分解斜視図である。

**【図 8】**

図 7 の各シートを積層した状態を示す斜視図である。

**【図 9】**

図 7 の各シートを積層した状態を示す断面図である。

**【図 1 0】**

図 8 の積層体に外部電極層を形成した状態を示す斜視図である。

**【図 1 1】**

第 2 実施形態であるサージアブソーバレイの等価回路図である。

**【図 1 2】**

第 2 実施形態であるサージアブソーバレイをプリント基板上に実装した状態を示す平面図である。

**【図 1 3】**

本発明の第 3 実施形態であるサージアブソーバレイの積層体を構成するシートを示す分解斜視図である。

**【図 1 4】**

本発明の第 4 実施形態であるサージアブソーバの積層体を構成するシートを示す分解斜視図である。

**【図 1 5】**

図 1 4 の各シートを積層した状態を示す斜視図である。

**【図 1 6】**

図 1 4 の各シートを積層した状態を示す断面図である。

**【図 1 7】**

図 1 5 の積層体に抵抗体膜を形成した状態を示す斜視図である。

**【図 1 8】**

図 1 5 の積層体に抵抗体膜を形成した状態を示す断面図である。

**【図 1 9】**

図 17 の積層体に外部電極層を形成した状態を示す斜視図である。

【図 20】

第 4 実施形態であるサージアブソーバの等価回路図である。

【図 21】

本発明の第 5 実施形態であるサージアブソーバの積層体を構成するシートを示す分解斜視図である。

【図 22】

図 21 の各シートを積層した状態を示す斜視図である。

【図 23】

図 21 の各シートを積層した状態を示す断面図である。

【図 24】

図 22 の積層体の表面に抵抗体膜を形成した状態を示す斜視図である。

【図 25】

図 24 の積層体に外部電極層を形成した状態を示す斜視図である。

【図 26】

第 5 実施形態であるサージアブソーバの等価回路図である。

【図 27】

本発明の第 6 実施形態であるサージアブソーバを示す斜視図である。

【図 28】

本発明の第 7 実施形態であるサージアブソーバの積層体を構成するシートを示す分解斜視図である。

【図 29】

図 28 の各シートを積層した状態を示す斜視図である。

【図 30】

図 28 の各シートを積層した状態を示す断面図である。

【図 31】

図 29 の積層体に外部電極を形成した状態を示す斜視図である。

【符号の説明】

1, 2, 2', 3, 4…セラミックグリーンシート

1 0 A, 1 0 B, 1 0 C, 1 0 D…積層体

1 1…第 1 内部電極膜

1 2, 1 2' …第 2 内部電極膜

1 3…空洞

1 4, 1 5, 1 5' …抵抗体膜

2 1…グランド用外部電極層

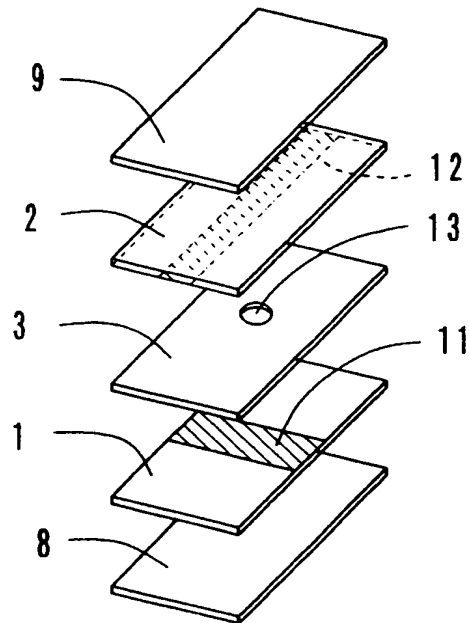
2 2…信号用入力外部電極層

2 3…信号用出力外部電極層

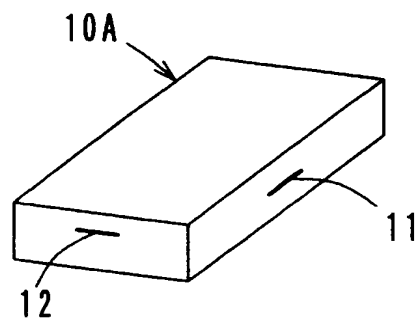
【書類名】

図面

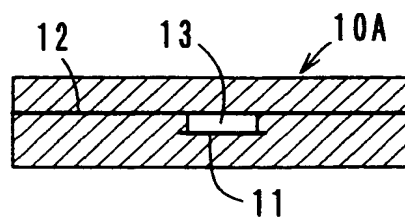
【図 1】



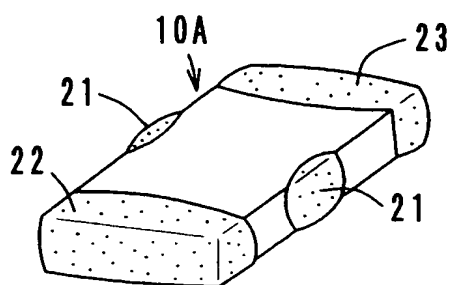
【図 2】



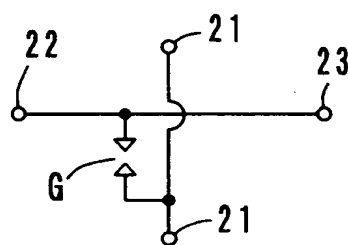
【図 3】



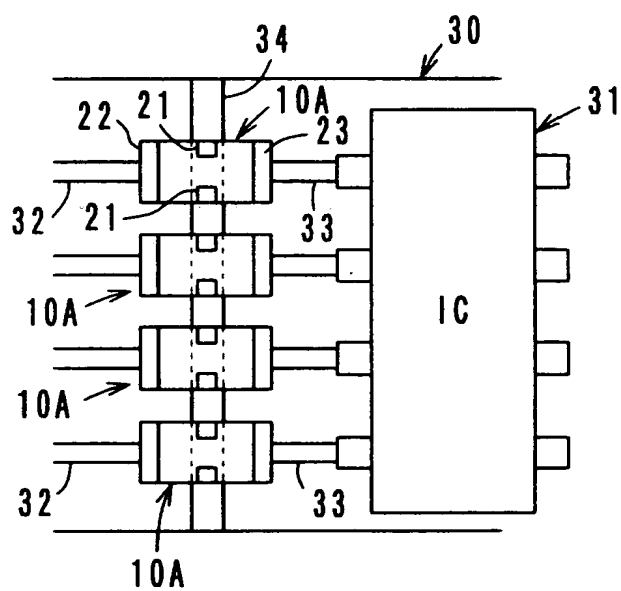
【図 4】



【図 5】

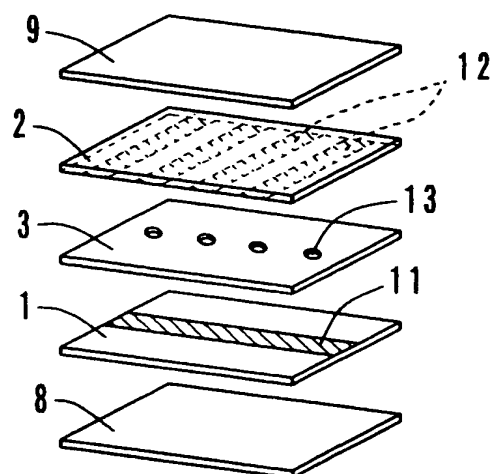


【図 6】

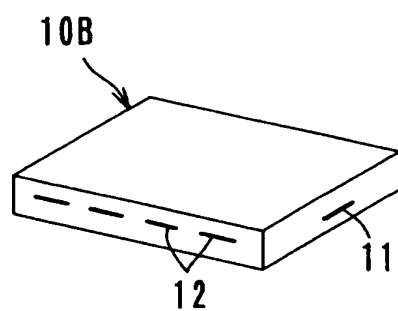




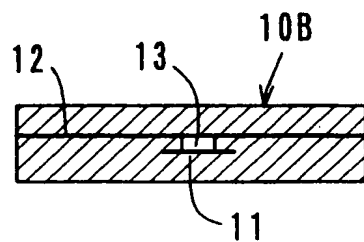
【図 7】



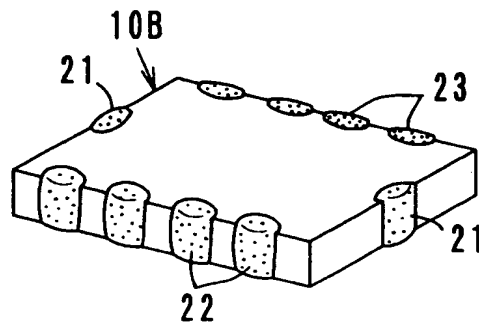
【図 8】



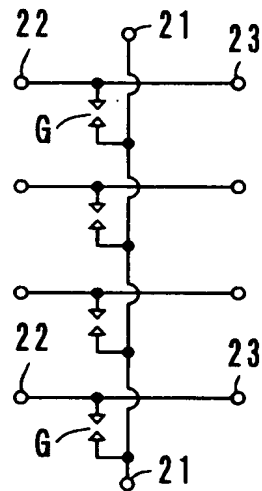
【図 9】



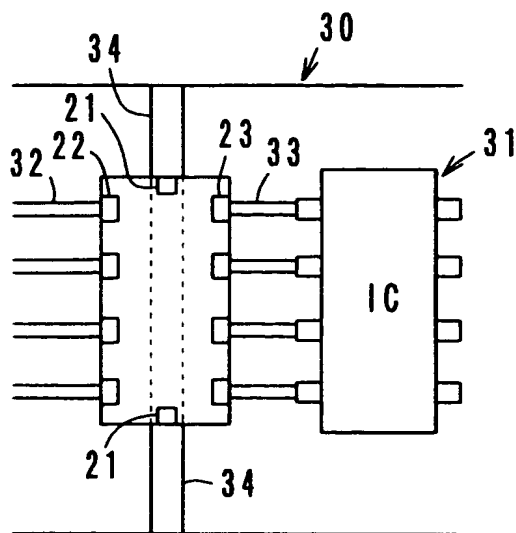
【図 10】



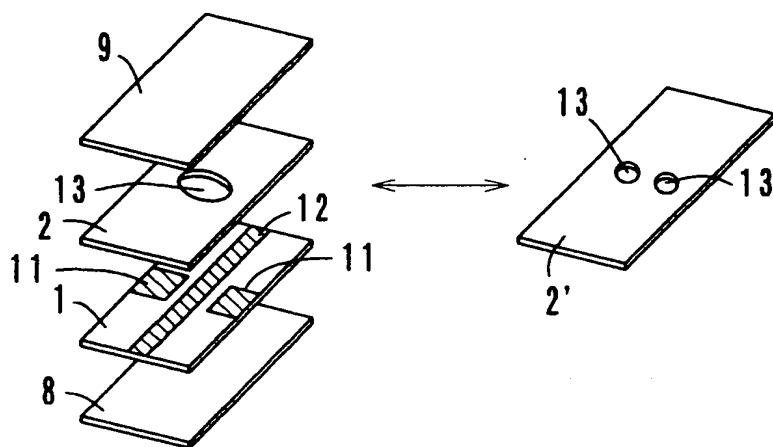
【図 11】



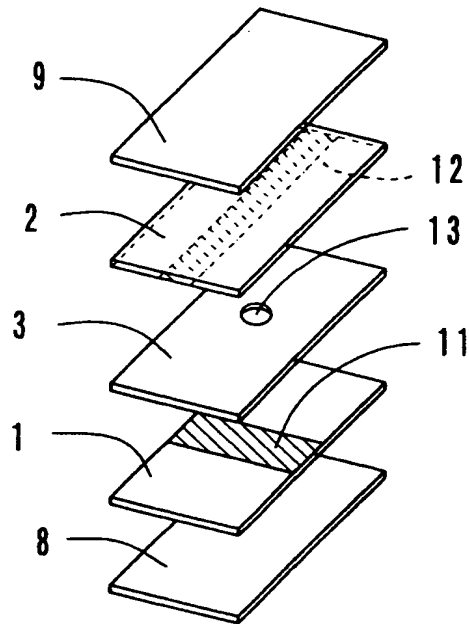
【図 12】



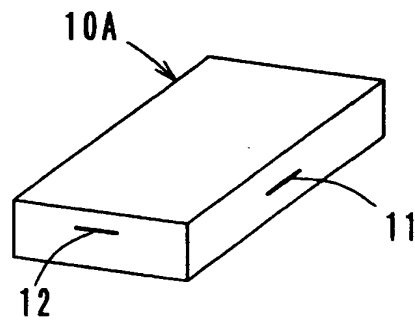
【図 13】



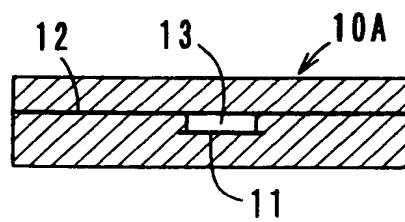
【図 14】



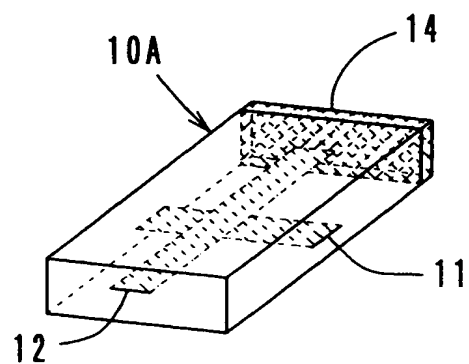
【図 15】



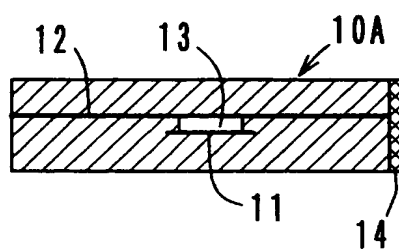
【図 16】



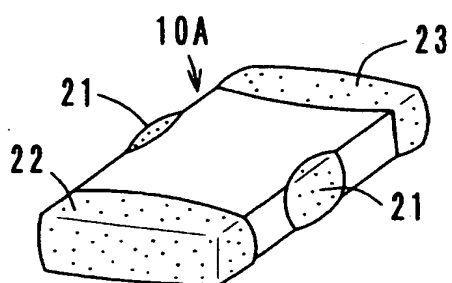
【図 17】



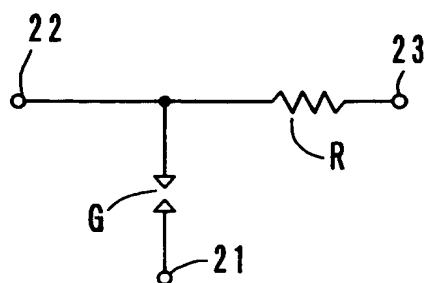
【図 18】



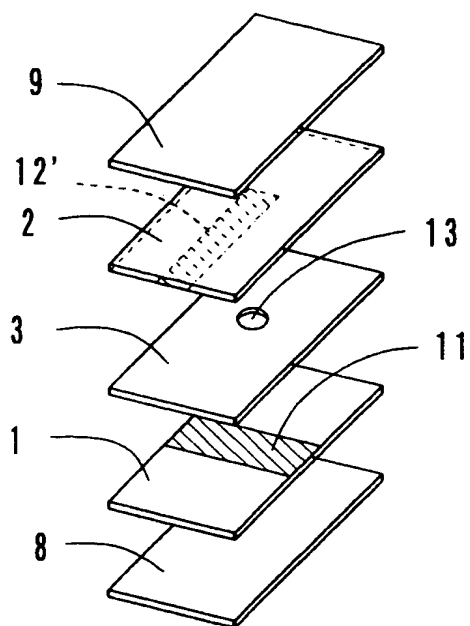
【図 19】



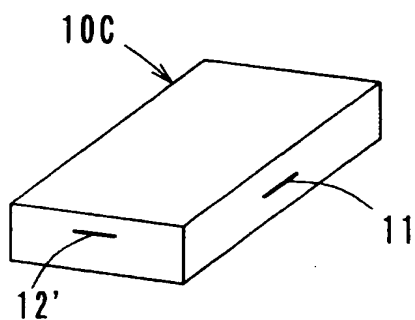
【図 20】



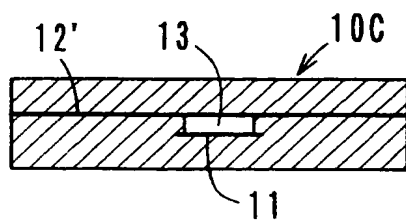
【図 2 1】



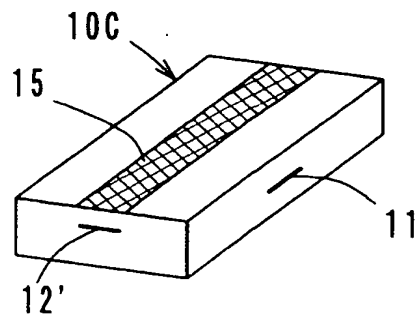
【図 2 2】



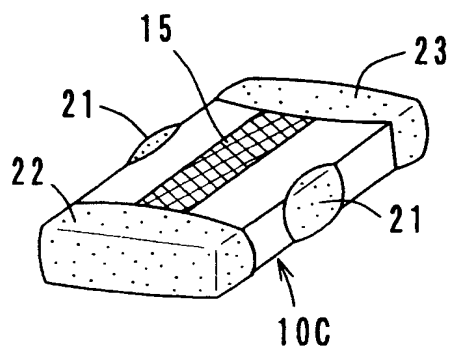
【図 2 3】



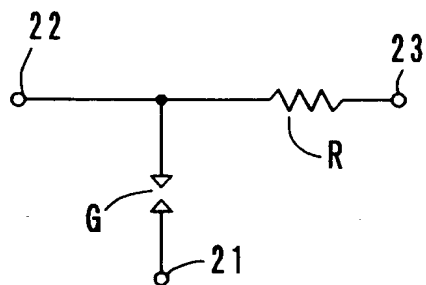
【図 24】



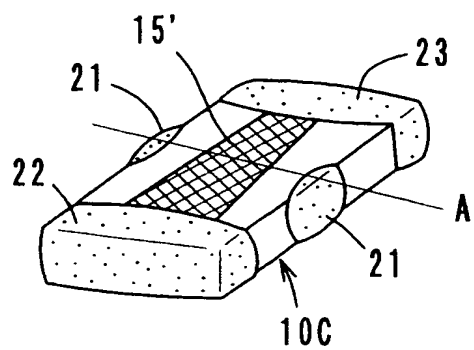
【図 25】



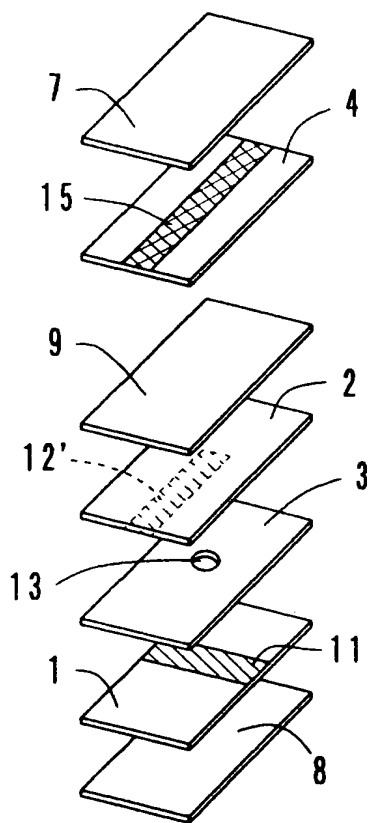
【図 26】



【図 27】

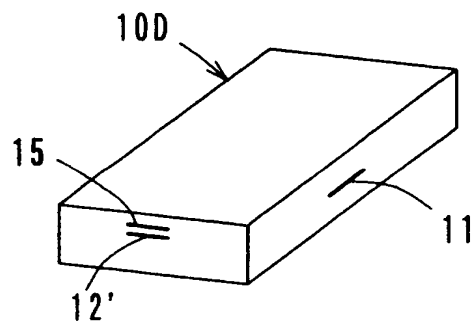


【図 28】

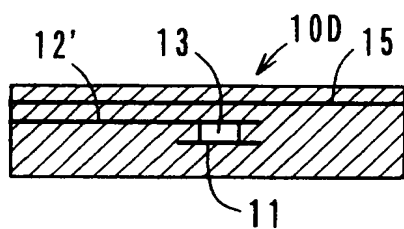




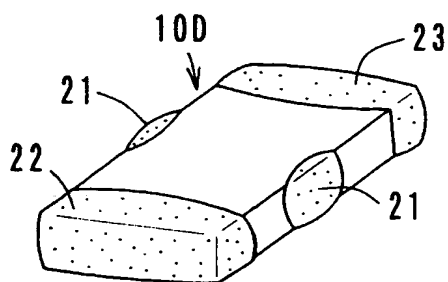
【図 29】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 プリント基板への実装面積を小さくでき、機器の小型化に対応できるサージアブソーバ及びサージアブソーバアレイを得る。

【解決手段】 両側面に達する第 1 内部電極膜 1 1 を設けたセラミックグリーンシート 1 と、両端面に達する第 2 内部電極膜 1 2 を設けたセラミックグリーンシート 2 と、放電用の空洞 1 3 を設けたセラミックグリーンシート 3 とを含む積層体を構成し、この積層体の両側面に第 1 内部電極膜 1 1 の両端部とそれぞれ接続されたグランド用外部電極層を設け、さらに、この積層体の両端面に第 2 内部電極膜 1 2 の両端部のそれぞれと接続された信号用外部電極層を設けたサージアブソーバ。積層体に抵抗素子を内蔵してもよい。

【選択図】 図 1

特願 2 0 0 2 - 3 8 1 6 3 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 2 3 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名

株式会社村田製作所